

T9 EL CIRCUITO INTEGRADO COMPLETO: CUESTIONES DIVERSAS

T9.1. Terminales del circuito integrado: entradas y salidas

T9.2. Densidad de integración

T9.3. Consideraciones respecto al diseño físico: reglas de diseño

Existe una serie de cuestiones a tener en cuenta respecto al circuito integrado completo, que no han sido consideradas en los capítulos anteriores dedicados expresamente a modelar el comportamiento de los transistores MOS y de las puertas booleanas.

En primer lugar, además de las funciones booleanas que configuran el circuito, éste precisa comunicarse con el exterior por medio de entradas, salidas y líneas de alimentación (por las cuales recibe la energía necesaria para su funcionamiento). Esta comunicación se establece a través de los terminales (*pin*s o *patillas*) del encapsulado del circuito integrado que conectan, mediante pequeños hilos metálicos soldados, con los PADs (cuadrados de aluminio) del «dado» de silicio (*chip*) resultante de la integración; internamente, se requieren adaptadores de entrada, de salida o simples líneas metálicas de conexión (en el caso de las alimentaciones).

Los adaptadores de entradas sirven para proteger, mediante recortadores y filtros, a las entradas del circuito booleano; en algunos casos es necesario que tales entradas tengan histéresis (entradas *Schmitt*). Las salidas precisan de adaptadores capaces de suministrar intensidades relativamente altas y, en ocasiones, capacidad de alta impedancia (tri-estado) o de bidireccionalidad (posibilidad de actuar como salida y como entrada).

Se estudia, también, en este capítulo la relación entre las dimensiones de la tecnología y la densidad de integración (número de puertas o de transistores por mm^2) y, también, con la velocidad de trabajo (relación que se establece a través de la capacidad de puerta de los transistores). Ambos parámetros, densidad de integración y velocidad de trabajo, aumentan cuadráticamente al disminuir la anchura de las líneas de polisilicio ($L_{\text{mín}} = \text{longitud mínima del canal}$, dimensión que caracteriza el proceso de integración).

Asimismo se introducen y justifican las «reglas de diseño» (reglas que se refieren a las dimensiones físicas o gráficas) que expresan las limitaciones de la tecnología en cuanto a anchuras mínimas, separaciones, prolongaciones, solapamientos, ... Tales reglas han de ser tenidas en cuenta en el diseño de las puertas a nivel físico, es decir, en el dibujo de las regiones semiconductoras y de las conexiones entre ellas, en el *layout* o «máscaras» que son el resultado último del diseño y el molde primigenio de la fabricación.

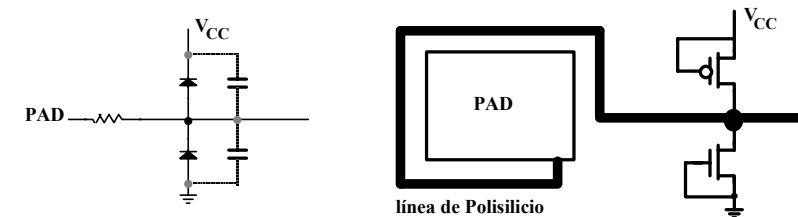
Como parte de las reglas de diseño (y como requisito de particular importancia en el mismo) se reitera la necesidad de polarizar los substratos y el problema del *latch-up* que obliga a polarizarlos «intensivamente».

T9.1. Terminales del circuito integrado: entradas y salidas

El óxido de pasivación del circuito integrado recubre todo el circuito (todo el *chip*) salvo una serie de cuadrados de metal periféricos (PADs) previstos para realizar la conexión con las patillas o terminales del circuito integrado encapsulado (*pin*s); la conexión se realiza a través de finos hilos soldados por un extremo a las patillas y por el otro a dichos cuadrados de metal (PADs), que conectan internamente con las entradas y salidas del circuito integrado.

Entradas

Las entradas exteriores son recibidas en el circuito integrado a través de un circuito de protección frente a posibles picos de tensión, transitorios bruscos o carga estática; dicho circuito suele estar formado por una resistencia de entrada, dos diodos en polarización inversa (conectados a las dos líneas de polarización VCC y 0 V) y dos pequeños condensadores en paralelo con los diodos. Los diodos recortan los picos de tensión que desbordan la alimentación y la componente capacitiva RC realiza un ligero filtrado frente a transitorios bruscos.



La resistencia se construye mediante una larga pista de polisilicio que habitualmente rodea al PAD.

Los diodos se forman aprovechando la unión PN entre drenaje y substrato de dos transistores NMOS y PMOS (con sus terminales de puerta y fuente en cortocircuito). Tales transistores se construyen relativamente gruesos (área de drenaje amplia), pues su unión drenaje-substrato pasa a polarización directa cuando la tensión de entrada se encuentra fuera del intervalo de alimentación [0 V ; VCC] y, en tal situación, deben soportar intensidades relativamente altas; asimismo, se rodean de un «anillo de guarda» para asegurar la polarización del substrato y, también, para evitar fenómenos de *latch-up* (descritos en T2.1., primer volumen).

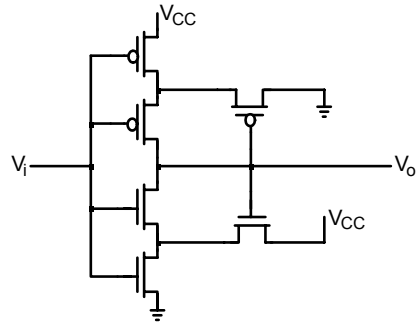
La componente capacitiva es aportada por las propias uniones PN de ambos diodos, polarizadas en inverso, y por la capacidad drenaje-puerta de los transistores.

La intensidad máxima que soportan las uniones drenaje-substrato, actuando como diodos de protección, se indica en los catálogos como I_K (*input clamp current*, intensidad de enclavamiento).

Otros tipos de entradas

En muchas ocasiones resultan de interés las entradas con histéresis, «entrada *Schmitt*», que presentan dos tensiones de conmutación V_a y V_b ; tales entradas son útiles para aumentar la verticalidad de los flancos de la señal de entrada y para evitar «rebotes» cuando la entrada se encuentra en el entorno de la tensión de conmutación.

La histéresis siempre requiere realimentación positiva; en tecnología CMOS se consigue una entrada inversora con histéresis mediante tres parejas de transistores, según la figura siguiente: sendos transistores duplicados en serie, que reciben la entrada, y una tercera pareja de transistores que realimentan la salida del inversor.

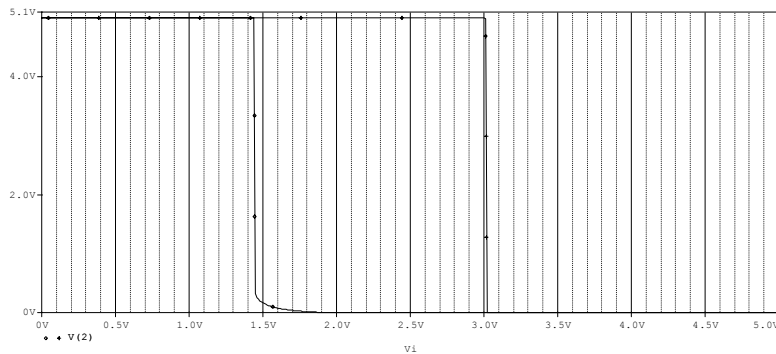


Los transistores «horizontales», conectados a la tensión de salida, introducen la realimentación que da lugar a la histéresis: con salida **1** los dos NMOS inferiores forman un divisor de tensión cuyo efecto es desplazar hacia arriba la tensión de conmutación, mientras que para salida **1** el divisor de tensión de los dos PMOS superiores desplaza hacia abajo la otra tensión de conmutación.

Función de transferencia de un inversor con histéresis (entrada *Schmitt*):

Tecnología Ψ , con transistores de tamaño mínimo:

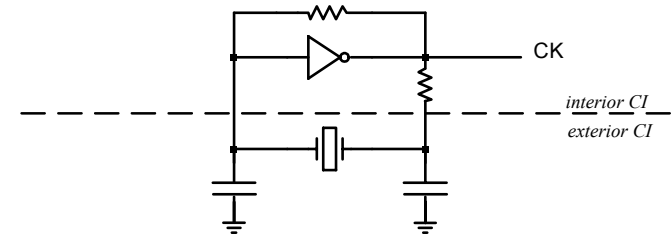
$L = 1 \mu\text{m}$, $W = 1,5 \mu\text{m}$, $|V_{TO}| = 1 \text{ V}$, $K_{p,NMOS} = 40 \mu\text{A/V}^2$ y $K_{p,PMOS} = 15 \mu\text{A/V}^2$.



Transición de 0 a 5 V: $V_a = 1,45 \text{ V}$

Transición de 5 a 0 V: $V_b = 3,05 \text{ V}$

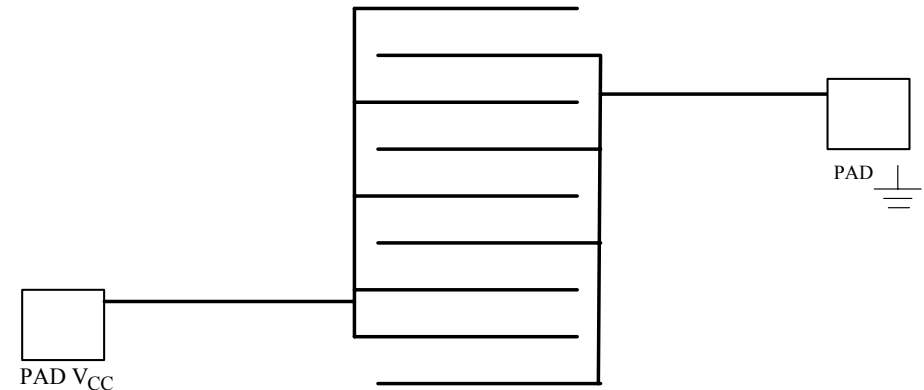
La integración de un simple inversor conectado a sendos terminales exteriores y con una resistencia de polarización que lo sitúe en la zona de conmutación ($V_i = V_o$) configura un amplificador inversor; realimentándolo externamente con un cristal de cuarzo o resonador piezoeléctrico se obtiene un oscilador en onda cuadrada, que puede ser utilizado como reloj del sistema digital o como frecuencia fija de referencia (véase el apartado dedicado a osciladores con cristal de cuarzo, T4.5., segundo volumen).



Alimentaciones

Las líneas de alimentación (V_{CC} y 0 V) han de ser conectadas al circuito integrado a través de entradas especiales que pasan directamente del correspondiente cuadrado metalizado de conexión (*PAD*) a líneas de aluminio. La alimentación se distribuye a las diversas puertas y biestables a través de líneas de metal, relativamente gruesas, a fin de que su resistencia sea mínima (y, con ella, las pérdidas de tensión); dichas líneas se hacen de la menor longitud posible para reducir tanto la resistencia como la autoinducción que presentan, la cual afecta a la producción de ruido en las conmutaciones.

En la conexión de la alimentación con las puertas y biestables, resulta útil una distribución alternada de ambas líneas V_{CC} y 0 V, en forma de «peine»:



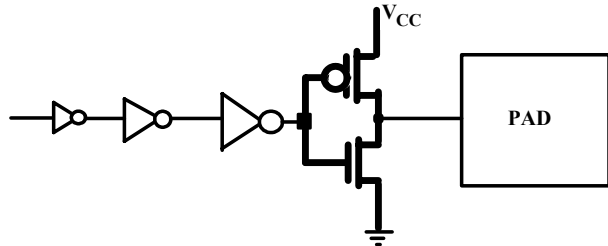
La anterior configuración de las líneas de alimentación «en peine» hace que las puertas deban alternarse en orientación invertida («cabeza arriba» / «cabeza abajo», es decir, con la tensión V_{CC} arriba / abajo).

En circuitos integrados complejos se incluyen varias entradas de alimentación, a fin de reducir el «ruido» debido a la conmutación simultánea de múltiples salidas (que será comentado un poco más adelante al tratar de los adaptadores de salida).

Salidas

Las salidas del circuito integrado se comunican al exterior a través de inversores con transistores muy anchos (W grande) para que puedan proporcionar intensidades de varios miliamperios (un centenar de veces más altas que las utilizadas en el interior del CI). Asimismo debe tenerse en cuenta que el metal que conduzca tales intensidades (desde la alimentación a los transistores y de éstos a las salidas) ha de ser convenientemente ancho: $\sim 1\mu\text{m} / 1\text{mA}$ para el aluminio en tecnologías actuales.

Para evitar los correspondientes retrasos en la propagación de las señales (debidos a capacidades de carga C_L muy altas, tanto las capacidades exteriores como las propias de la entrada C_G de los gruesos transistores de salida) ha de añadirse una serie de inversores en adecuada progresión de anchura W: parejas de «inversores en escalera» (ver T7.3.). Resulta conveniente rodear los transistores de salida con sendos «anillos de guarda» que eviten los fenómenos de *latch-up*, habida cuenta de que tales transistores pueden conducir intensidades altas.



Intensidad disponible en la salida para la tecnología Ψ :

NMOS	PMOS
$R_o(0) \sim 4\text{ K}\Omega$	$R_o(1) \sim 11\text{ K}\Omega$

Intensidad suministrable por el inversor: $I_o = \Delta V_o / R_o$

Admitiendo $\Delta V(0) = 0,2\text{ V}$ y $\Delta V(1) = 0,6\text{ V}$

$I_o(0) \sim 0,2 / 4\text{K} \approx 50\ \mu\text{A}$	$I_o(1) \sim 0,6 / 11\text{K} \approx 50\ \mu\text{A}$.
---	--

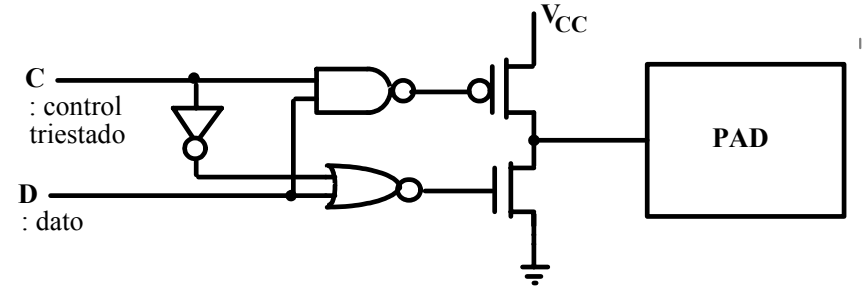
Para obtener $I_o \sim 10\text{ mA}$ es necesario aumentar el factor de forma $10 / 0,05 = 200$ veces y, para ello, hacer los transistores 200 veces más anchos: $W = 200\ W_{\text{mín}}$.

Con $W = 300\ \mu\text{m}$ y $L = 1\ \mu\text{m}$, $ff = 300$

$R_o(0) \sim 20\ \Omega$	$R_o(1) \sim 60\ \Omega$
--------------------------	--------------------------

$I_o(0) \sim 0,2 / 20 \approx 10\text{ mA}$	$I_o(1) \sim 0,6 / 60 \approx 10\text{ mA}$.
---	---

Si la salida debe contar con la posibilidad de alta impedancia (tri-estado) se configura mediante la siguiente lógica:



$C = 0$	PMOS no conduce	NMOS tampoco
$C = 1\ D = 1$	PMOS conduce	NMOS no
	habilitación PMOS = $\overline{C} \cdot D$	
$C = 1\ D = 0$	PMOS no conduce	NMOS si
	habilitación NMOS = $C \cdot \overline{D} = \overline{\overline{C} + D}$	

Para configurar un terminal bidireccional se incluyen sendos adaptadores, uno de entrada y otro de salida tri-estado.

En ocasiones, se añade a la salida (sea ésta de tipo normal o tri-estado) una resistencia de valor alto conectada a 0 V (resistencia de *push-up*) o a V_{CC} (*pull-down*) para asegurar que en la inicialización (o en situaciones de alta impedancia) tales salidas quedan referenciadas a **0** o a **1**, respectivamente.

Asimismo, puede interesar prescindir del transistor PMOS en la salida, integrando solamente el NMOS: salidas de «drenaje abierto», análogas a las de «colector abierto», que requieren una resistencia exterior para conectar con la alimentación V_{CC} y poder formar el valor booleano **1** de salida; dimensionando adecuadamente el transistor NMOS, estas salidas admiten tensiones e intensidades superiores a las de las salidas normales. Las salidas de «drenaje abierto» permiten lógica "y" cableada: la conexión de varias salidas de este tipo sobre una misma resistencia conectada a la alimentación V_{CC} da lugar a una operación "y" entre dichas salidas.

Ruido debido a la conmutación de las salidas

En la conmutación de las puertas booleanas se producen variaciones en la intensidad, las cuales son considerablemente grandes en los adaptadores de intensidad (*buffers*) correspondientes a las salidas del circuito integrado. Tales variaciones no sólo se deben a los cambios de intensidad en las salidas sino también a los efectos capacitivos y transitorios de conmutación (conducción simultánea de PMOS y NMOS). Los cambios de valor de la intensidad relativos a tales adaptadores son importantes, habida cuenta de que la anchura de sus transistores W es grande y, además, son sumamente rápidos.

Estos cambios de intensidad originan picos de tensión (ruido) sobre las líneas de alimentación, que pueden producir errores en el funcionamiento del circuito; tales variaciones de tensión se producen por efecto inductivo en relación con la autoinducción L que toda línea de conexión presenta. Las tensiones inducidas dependen del valor de la autoinducción y de la magnitud de la variación de intensidad; más en concreto, de la pendiente que presenta el cambio de intensidad: $\Delta V = -L \, dI/dt$.

La autoinducción en las líneas de alimentación es particularmente significativa en el hilo de conexión entre los terminales del encapsulado (*pines*) y el propio circuito integrado y su efecto inductivo es importante porque las variaciones de intensidad en la conmutación de las salidas, además de ser relativamente altas, presentan pendientes fuertes ($\Delta t \sim 1 \text{ ns} = 10^{-9} \text{ s}$, que supone multiplicar por 10^9 la variación ΔI de intensidad).

Resulta necesario prestar atención a las salidas que conmutan o que pueden hacerlo a la vez, pues sus efectos inductivos se suman: conmutación simultánea de múltiples salidas. En tal caso conviene establecer varios terminales de alimentación (varios *pines*) en el circuito integrado y distribuir adecuadamente la alimentación, de forma que salidas que conmuten a la vez reciban su alimentación desde terminales diferentes.

T9.2. Densidad de integración*Densidad de integración en el núcleo booleano (core)*

La ocupación de la superficie del silicio viene determinada por

- las dimensiones de los transistores MOS en su zona de puerta (L , W)
- las dimensiones de las zonas de difusión (fuente y drenaje)
- las conexiones entre transistores y de éstos con la alimentación
- las separaciones obligadas entre ellos y entre sus conexiones.

Además, los transistores PMOS requieren un sustrato N (pozo) que impone mayores separaciones: separación entre el límite del pozo y difusiones P (de los transistores PMOS) internas al mismo y separación entre pozo y difusiones N (de los NMOS) fuera del pozo.

Las «reglas de diseño» (ver apartado siguiente) establecen un puente entre la tecnología y el diseño, sintetizando en forma resumida y parametrizada las posibilidades y las limitaciones de la tecnología. Tales «reglas» señalan las anchuras, separaciones y solapamientos mínimos que aseguran una correcta fabricación con una tecnología concreta, expresando tales dimensiones mínimas en números enteros a partir de un parámetro λ tomado como unidad de medida.

La dimensión mínima de una tecnología corresponde a la anchura del polisilicio, o lo que es lo mismo a la longitud mínima de los transistores $L_{\text{mín}}$, y la anchura mínima de las difusiones, o sea, la anchura mínima de los transistores $W_{\text{mín}}$, suele ser vez y media la longitud mínima $L_{\text{mín}}$: $W_{\text{mín}} / L_{\text{mín}} = 3/2$.

L = anchura del polisilicio = longitud del transistor

$L_{\text{mín}}$ = dimensión mínima del proceso
(por ello $L_{\text{mín}}$ identifica a la tecnología)

W = anchura de la difusión = anchura del transistor

Para utilizar números enteros en las medidas se adopta como unidad el parámetro λ equivalente a la mitad de la longitud mínima: $\lambda = L_{\text{mín}} / 2$ y, de esta forma, todas las dimensiones resultan múltiplos enteros de λ :

en transistores mínimos, $L = 2\lambda$ $W = 3\lambda$.

Tecnología de 1μ : $L = 1\mu\text{m}$ $W = 1,5\mu\text{m}$ $\lambda = 0,5\mu\text{m}$

El área de la zona activa de un transistor mínimo (zona de puerta) será: $W \cdot L = 6\lambda^2$; su capacidad de puerta será $C_{\text{ox}} \cdot L \cdot W = C_{\text{ox}} \cdot 6\lambda^2$. Para $C_{\text{ox}} = 0,7 \text{ fF}/\mu\text{m}^2$ (que corresponde a un espesor de óxido de puerta $t_{\text{ox}} = 50 \text{ nm}$):

$$C_{\text{ox}} \cdot W \cdot L = 0,7 \cdot 6\lambda^2 \approx 4\lambda^2 \text{ fF}$$

y como cada entrada se encuentra conectada a dos transistores, uno de canal N y otro de canal P, la capacidad de entrada será:

$$C_i \approx 8\lambda^2 \text{ fF.}$$

Para la tecnología Ψ :

$$L_{\text{mín}} = 1\mu\text{m}, \quad W_{\text{mín}} = 1,5\mu\text{m}$$

$$\lambda = 0,5\mu\text{m}, \quad C_{\text{ox}} = 0,7 \text{ fF}/\mu\text{m}^2$$

$$\text{para transistores mínimos: } C_G = 6\lambda^2 \cdot C_{\text{ox}} \approx 1 \text{ fF}$$

$$C_i = 2 C_G \approx 2 \text{ fF.}$$

Dicha capacidad de entrada es un buen indicador de la velocidad de trabajo de las puertas booleanas, pues los tiempos de conmutación son proporcionales a la capacidad de carga: $t_p \sim 5C/I_{\text{sat}}$; C depende cuadráticamente de las dimensiones de la tecnología (L , W) mientras que I_{sat} depende del factor de forma ($\text{ff} = L/W = 1,5$) y no de las dimensiones.

La siguiente tabla expresa el área de los transistores mínimos (en cuanto a su zona de puerta) y la capacidad de una entrada (con dichos transistores mínimos), en función de las dimensiones de la tecnología:

Tecnología	λ	área T mín.	C_i
2 μm	1	6 μm^2	8 fF
1 μm	0,5	1,5 μm^2	2 fF
0,8 μm	0,4	1 μm^2	1,5 fF
0,5 μm	0,25	0,4 μm^2	0,5 fF
0,2 μm	0,1	0,06 μm^2	0,1fF

Al disminuir la dimensión lineal de los transistores, su área y su capacidad disminuyen cuadráticamente y, en igual medida, aumenta la densidad de integración y aumenta su velocidad de trabajo (disminuyen los tiempos de propagación).

De ahí el gran interés en disminuir la longitud mínima de la tecnología: una pequeña disminución de un d % en $L_{\text{mín}}$ se traduce en un aumento cercano al $2d$ % en la densidad de integración y en la velocidad de trabajo alcanzable:

$$[\lambda \cdot (1 - d/100)]^2 = \lambda^2 \cdot (1 - 2d/100 + d^2/10000) \approx \lambda^2 \cdot (1 - 2d/100)$$

Para estimar la ocupación de área efectiva, teniendo en cuenta las conexiones y separaciones así como la estructura de las puertas booleanas (que implican existencia del pozo, sustrato N de los transistores P, y de las zonas de fuente y drenaje), consideremos la densidad de integración en términos de puertas “**y-negada**” (*Nand*) de 2 entradas:

- a partir de «reglas de diseño» típicas (ver siguiente apartado) puede estimarse que una puerta *Nand* de 2 entradas ocupa, al menos, un rectángulo cuyos lados son del orden de 30 a 40 λ y cuya área será, por tanto, de unas $1000\lambda^2$, mientras que sus cuatro transistores, en cuanto a zona de puerta (cruce de polisilicio-difusión que conforma la zona activa del transistor), ocupan solamente $4 \times 6\lambda^2 = 24\lambda^2$;
- existe, pues, un factor del orden de 40 entre la superficie ocupada por los transistores (en sus zonas de puertas) y la superficie total necesaria para configurar el circuito (es decir, más del 95 % de la superficie se destina a conexiones, separaciones y conformación del circuito, ocupando los transistores, en cuanto a su zona activa, poco más del 2 %);
- en tal supuesto, la densidad de integración en términos de puertas *Nand* de 2 entradas será: $(1 \text{ mm}^2) / (1000 \lambda^2 \mu\text{m}^2) = 10^6 / 10^3 \lambda^2 = 1000 / \lambda^2$;
- en término de transistores la densidad será cuatro veces superior.

La tabla siguiente expresa la densidad de integración en términos de puertas *Nand* (puertas por mm^2) y en número de transistores por mm^2 , en función de las dimensiones de la tecnología:

Tecnología	λ	d_I (puertas <i>Nand</i> 2) puertas / mm^2	d_I (Transistores) transistores / mm^2
2 μm	1	1000	4000 = $4 \cdot 10^3$
1 μm	0,5	4000	16000 = $16 \cdot 10^3$
0,8 μm	0,4	6000	24000 = $24 \cdot 10^3$
0,5 μm	0,25	16000	64000 = $64 \cdot 10^3$
0,2 μm	0,1	100000	400000 = $0,4 \cdot 10^6$

Tecnologías de múltiples metales y de varios polisilicios permiten aumentar aún más la densidad de integración, al reducir el área necesaria para las conexiones.

Quede claro que estas densidades de integración se refieren al interior del circuito integrado o zona booleanamente activa, en la que se configuran las funciones y los subsistemas booleanos: núcleo booleano o *core*; los transistores de dicha zona suelen ser de tamaño mínimo.

Área necesaria para los elementos de contorno

Además de la superficie «booleanamente activa» (*core*), todo circuito integrado requiere una amplia superficie periférica (contorno) para los adaptadores de entrada y salida que permiten conectar el circuito con el exterior, así como para poder separar el circuito de los adyacentes en la oblea de integración.

A partir del borde extremo del circuito integrado (*chip*) es preciso reservar una franja todo alrededor para poder cortar e individualizar los diversos circuitos formados en la misma oblea: línea de corte (*scribe line*). Junto a esta línea de corte, rodeando también a todo el circuito, se incluye en la integración un anillo de metal (rectangular o cuadrado según la forma del *chip*) muy ancho, que proporciona un apantallamiento lateral al circuito: anillo de guarda.

Dentro del anillo de guarda y distribuidos a lo largo de su contorno han de ir los puntos de conexión externa, terminales del circuito integrado (*PADs*: entradas, salidas y alimentación), que permitan conectarlo, a través de hilos unidos por soldaduras, a los terminales (*pins*) de la carcasa que conforma la pastilla integrada definitiva; dichos puntos de soldadura (*PADs*) suelen ser cuadrados de unos 100 μm de lado y han de tener una mínima separación, tanto del anillo de guarda como de la superficie activa del silicio.

Además, las entradas y salidas deben llevar unos circuitos de adaptación (*buffers*):

- en las entradas tales adaptadores se reducen a una simple red Resistencia-Diodos (línea prolongada de polisilicio y transistores utilizados como diodos en polarización inversa),

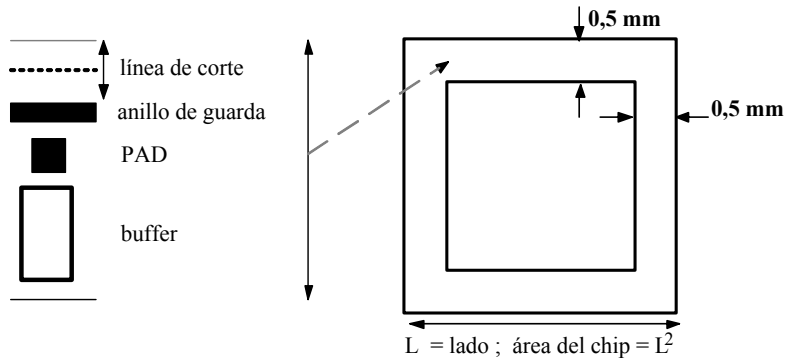
- pero en el caso de las salidas son precisos amplificadores de intensidad con amplios transistores que proporcionen intensidades de varios miliamperios e inversores «en escalera» para evitar altos tiempos de propagación; los adaptadores de salida se complican, aún más, en los casos de terminales bidireccionales (entrada-salida) y tri-estado (tercer estado de desconexión por alta impedancia).

Para apreciar la ocupación de área debida a todos estos elementos periféricos, podemos utilizar los siguientes valores estimativos de la anchura de los diversos elementos de contorno:

- línea de corte [~ 200 μm = 0,2 mm]
que al ser compartida con los circuitos contiguos, solamente la mitad repercute en cada circuito: ~ 100 μm
 - anillo de guarda ~ 50 μm = 0,05 mm
 - PADs: la anchura de la zona metálica para soldar el hilo de conexión a los *pines* suele ser [~ 100 x 100 μm]
- pero, además, ha de haber varias separaciones:
- separación anillo de guarda / PAD ~ 50 μm
 - anchura del PAD ~ 100 μm
 - separación de la zona activa ~ 50 μm
- adaptadores (*buffers*): el peor caso corresponde a los adaptadores tri-estado y bidireccionales ~ 150 μm

Anchura total : ~ 100 + 50 + 50 + 100 + 50 + 150 μm ≈ 0,5 mm

Los elementos de contorno ocupan una franja de aproximadamente medio milímetro a lo largo de todo el contorno del circuito integrado.



El área de este contorno será la correspondiente a 4 trapecios cuyas bases difieren en 1 mm y cuya altura es de 0,5 mm:

$$\text{área} = 4 \cdot \frac{L + L - 1}{2} \cdot 0,5 = 2L - 1 \text{ mm}^2$$

siendo L la medida (en mm) del lado del circuito integrado (*chip*); el «aprovechamiento» de la superficie de silicio, en cuanto a zona booleana (*core*) será:

$$\text{superficie útil} = L^2 - (2L - 1) = L^2 - 2L + 1 = (L - 1)^2$$

$$\frac{\text{superficie útil}}{\text{superficie total}} \cdot 100 = \frac{(L - 1)^2}{L^2} \cdot 100 = 100 \cdot \left[1 - \frac{1}{L} \right]^2 \%$$

con L expresado en milímetros.

La tabla siguiente expresa el área de contorno y el aprovechamiento en cuanto área útil a efectos booleanos (*core*) para diversos circuitos integrados cuadrados según la longitud L del lado de los mismos:

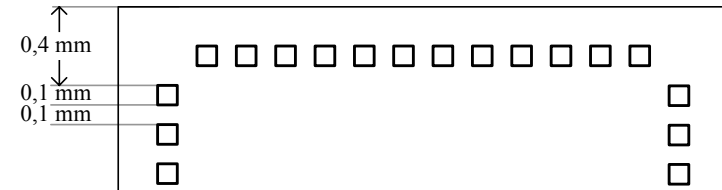
<u>Área total</u>	<u>L</u>	<u>área de contorno</u>	<u>área útil</u>	<u>aprovechamiento</u>
10 mm²	3,16 mm	5,2 mm ²	4,8 mm ²	48 %
25 mm²	5 mm	9 mm ²	16 mm ²	64 %
1 cm²	10 mm	19 mm ²	81 mm ²	81 %
10 cm²	3,16 cm	62 mm ²	938 mm ²	94 %

Obviamente el aprovechamiento de la superficie del circuito integrado aumenta al hacerlo la superficie del mismo, dado que la anchura ocupada por los elementos de contorno es prácticamente constante.

Número de PADs en el contorno

Una estimación del número de PADs (o sea, del número de entradas y salidas) que pueden situarse en el contorno de un circuito integrado puede ser la siguiente:

- anchura del PAD ~ 100 μm
- separación entre PADs ~ 100 μm
- separación entre el primer (y el último) PAD y el borde del *chip* ~ 400 μm.



Obviamente las anteriores dimensiones dependen de la tecnología de integración pero no pueden ser muy inferiores a las indicadas ya que los PADs son «puntos de soldadura», en los que han de fijarse los hilos que conectan con los terminales del encapsulado y requieren unas dimensiones y una separación mínimas para que la soldadura sea posible.

En un lado **L** del cristal de silicio caben **n** PADs; expresando **L** en milímetros:

$$L \geq 0,4 + n \cdot 0,1 + (n - 1) \cdot 0,1 + 0,4; \quad n = \text{Entero} \left[\frac{L - 0,7}{0,2} \right] = \text{Entero}[5 \cdot (L - 0,7)].$$

La siguiente tabla indica el número de PADs en cada lado y el número total de los mismos para circuitos integrados cuadrados según su longitud **L** de lado:

Área total	L	PADs en cada lado	nº total de terminales (<i>pines</i>)
10 mm²	3,16 mm	12	48
25 mm²	5 mm	21	84
1 cm²	10 mm	46	184
10 cm²	3,16 cm	154	616

Obviamente, si es necesario un mayor número de entradas/salidas, pueden añadirse más PADs (con sus correspondientes adaptadores) en la zona interior del circuito integrado (lo que normalmente es zona booleana, *core*).

T9.3. Consideraciones respecto al diseño físico: reglas de diseño

La relación entre el proceso de diseño y el de fabricación de un circuito integrado se establece a través de las máscaras del circuito; las máscaras son el «resultado final» del diseño y el «molde» con el cual se efectúa la fabricación.

En un diseño físico completo, el diseñador ha de recorrer diversos niveles en la descripción del circuito, desde sus requisitos funcionales iniciales (especificaciones) hasta el diseño físico de las regiones que lo configuran, pasando por:

- definir la arquitectura (diagrama de bloques) que puede dar respuesta adecuada a las especificaciones,
- desglosar los bloques en celdas básicas (funciones booleanas y biestables),
- diseñar cada celda en términos de los transistores que la configuran,
- dimensionar tales transistores y las conexiones entre ellos realizando el dibujo físico de cada celda
- y, finalmente, ubicar adecuadamente cada celda en relación con las demás y establecer las conexiones entre ellas (convenientemente dimensionadas).

El último paso de dicho proceso, el paso de la configuración «electrónica» del circuito en términos de transistores a su conformación «física» en zonas superficiales diferenciadas, es una ardua labor de dibujo lineal, para la que se cuenta con eficaces ayudas informáticas CAD.

En caso de diseño con librería de celdas (*standard cell* o *gate array*), el diseñador del circuito digital no llega al nivel geométrico pero, previamente, quien ha diseñado las celdas (estándar) ha tenido que hacerlo a dicho nivel.

Al abordar el dibujo de los transistores (de sus zonas de fuente, drenaje y puerta) y de las conexiones entre ellos (y de las polarizaciones de los substratos) es necesario:

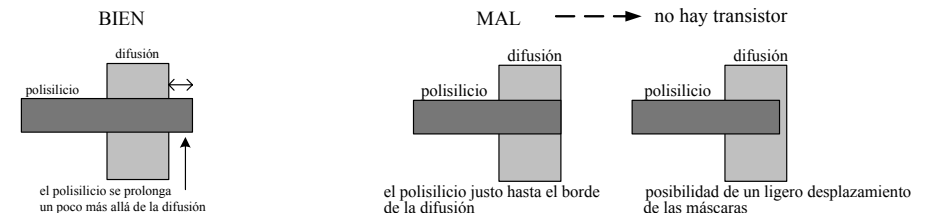
- dotar a cada zona y a cada línea de conexión de dimensiones adecuadas,
- establecer unas separaciones mínimas entre zonas,
- añadir prolongaciones (extensiones más allá del borde) entre las zonas que se cruzan (en particular, el polisilicio y la difusión al formar un transistor),
- asegurar un recubrimiento mínimo de los contactos y de las vías por las zonas entre las que establecen la conexión (y del pozo sobre las difusiones que contiene).

Aparte del adecuado dimensionamiento de los transistores (en conformidad con el diseño), los requisitos referentes a tamaños mínimos, separaciones, prolongaciones y recubrimientos vienen exigidos por las limitaciones de la tecnología de integración, para asegurar la correcta formación de las zonas activas. El conjunto de dimensiones mínimas que han de respetarse se denomina *reglas de diseño* y suelen expresarse en unidades enteras referidas al parámetro λ de la tecnología: $\lambda = L_{\text{mínima}}/2$.






Para facilitar la ejecución del «dibujo físico» (*layout*) del circuito integrado se dispone de potentes herramientas de CAD que incorporan verificadores de las reglas de diseño (DRC: *design rule check*).

Algunos ejemplos de reglas de diseño y su relación con el proceso de fabricación pueden ser los siguientes:

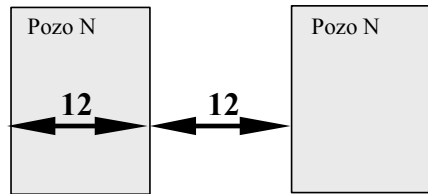
- a) Anchuras mínimas por debajo de las cuales la tecnología disponible no asegura la continuidad o la fabricación correcta de la correspondiente región, sea ésta una difusión, una línea de metal o la zona de puerta,...
- b) Separaciones entre zonas del mismo tipo (por ejemplo, difusiones o líneas de metal), que, si estuvieran más cercanas, corren el peligro de que se establezca continuidad entre ellas y queden conectadas;
- c) El polisilicio al cruzarse con la correspondiente difusión forma un transistor y debe «rebasar» a dicha difusión en una longitud mínima, ya que, de no hacerlo así, pequeñas desviaciones de las máscaras en el proceso de integración pueden dar lugar a que el polisilicio no cruce por completo a la difusión y ésta mantenga continuidad en un extremo de manera que el «transistor» conduce siempre:



A continuación, se incluye un ejemplo completo de reglas de diseño :

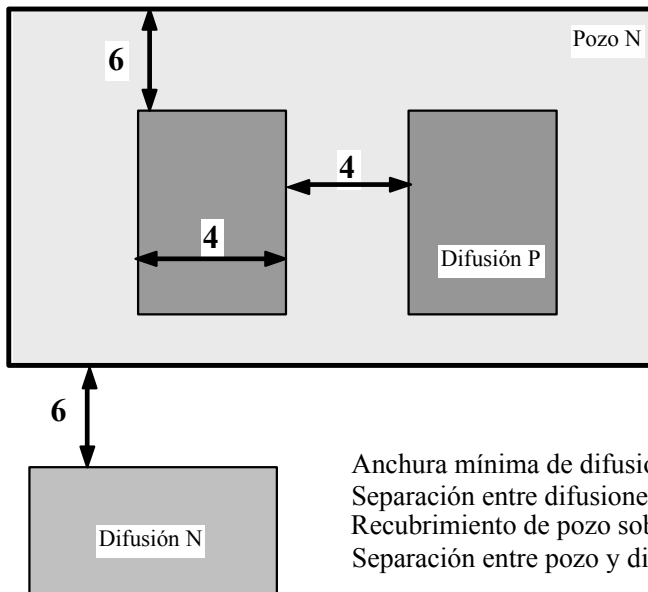
Pozo	
Difusión N	
Difusión P	
Polisilicio	
Aluminio	

Pozos



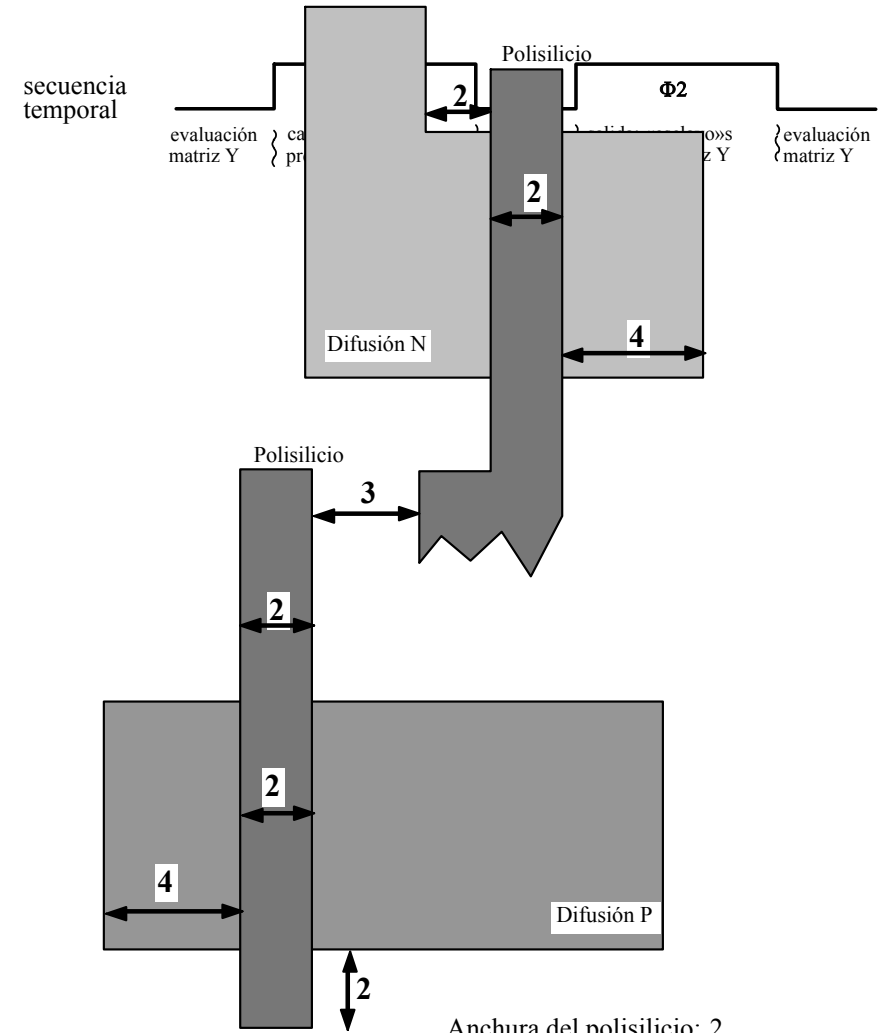
Anchura mínima de pozo: 12
 Separación entre pozos: 12

Difusiones



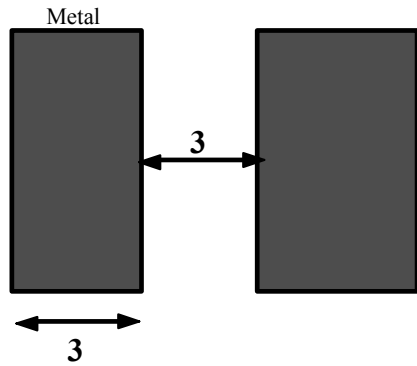
Anchura mínima de difusión: 4
 Separación entre difusiones: 4
 Recubrimiento de pozo sobre difusión: 6
 Separación entre pozo y difusión: 6

Polisilicio



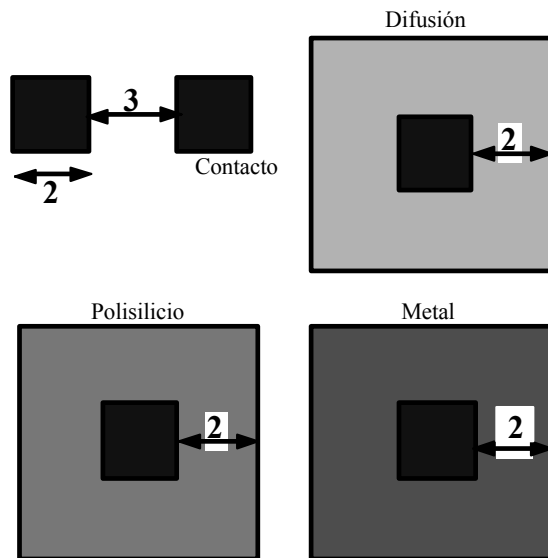
Anchura del polisilicio: 2
 Anchura de puerta: 2
 Prolongación de polisilicio sobre difusión: 2
 Prolongación de difusión sobre polisilicio: 4
 Separación entre dos polisilicios: 3
 Separación entre polisilicio y difusión: 2

Metal



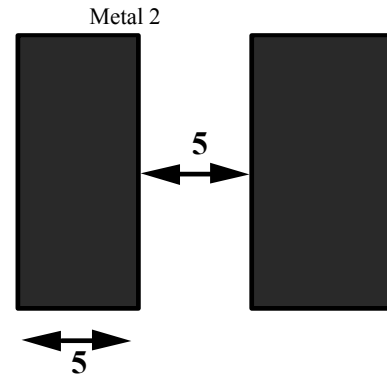
Anchura mínima del metal: 3
 Separación entre metales: 3

Contactos



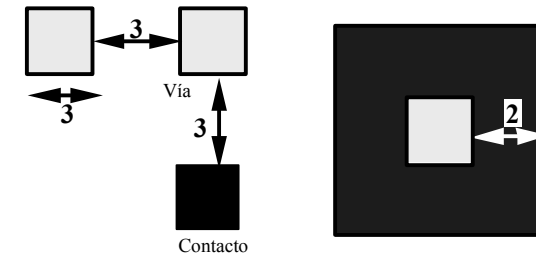
Anchura del contacto: 2
 Separación entre contactos: 3
 Recubrimiento de metal: 2
 Recubrimiento de polisilicio: 2
 Recubrimiento de difusión : 2

Metal2



Anchura del metal2: 5
 Separación entre metales2: 5

Vías



Anchura de la vía: 3
 Separación entre vías: 3
 Separación entre vía y contacto: 3
 Recubrimiento de metal: 2
 Recubrimiento de metal2: 2

Polarización de los substratos

para aislar los transistores y para evitar el problema del «latch-up»

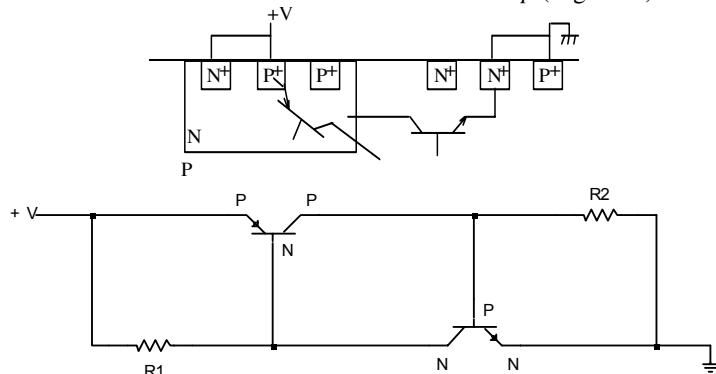
Los transistores NMOS están formados por regiones N⁺ (fuente - canal - drenaje) en el seno de un sustrato de tipo P; para aislar los transistores del sustrato y los diversos transistores entre sí se requiere polarizar el sustrato P con la tensión de alimentación más negativa, de forma que todas las uniones NP con el sustrato se encuentren polarizadas inversamente.

De igual forma, para aislar los transistores PMOS, formados por regiones P^+ en un sustrato de tipo N (pozo), se requiere polarizar el sustrato N (todos los pozos presentes en el integrado) con la tensión de alimentación más positiva, para que todas las uniones PN se encuentren polarizadas en inverso.

En sistemas digitales se utiliza, generalmente, una sola fuente de alimentación con dos terminales 0 V y V_{CC} :

- habrá que conectar el sustrato P general que forma la oblea a 0 V, mediante contactos de polarización de tipo P^+ (que se forman a la vez que las difusiones de los transistores PMOS)
- y, asimismo, habrá que conectar los pozos N (que son el sustrato para los transistores PMOS) a V_{CC} , mediante contactos de polarización de tipo N^+ (formados a la vez que las difusiones de los transistores NMOS).

Este requisito de polarización de los sustratos (para aislar los transistores) se encuentra reforzado por el hecho de que las regiones N y P propias de las estructuras CMOS se encuentran intercaladas entre sí y permiten la configuración de estructuras parásitas tipo tiristor (PNPN), con características destructivas al ser posible el disparo de una conducción de intensidad incontrolada. Este fenómeno autodestructivo debido al autodisparo de las estructuras PNPN se conoce como *latch-up* (enganche).



Si la caída de tensión en alguna de las resistencias transversales R_1 y R_2 consigue acercarse a 0,5 V, ambos transistores conducen sin limitación de intensidad (de hecho se encuentran realimentados positivamente: el aumento de la I_C de uno de ellos provoca el de la I_B del otro, con el consiguiente aumento de su I_C y, por tanto, de la I_B del primero), configurando un tiristor en situación de disparo y sin limitación de intensidad.

Ambas resistencias se forman a través de los sustratos, de manera que interesa que la resistividad de ambos sustratos (el P de la oblea y el N de los pozos) no sea muy alta y que la tensión de polarización alcance eficazmente a toda la masa del sustrato (para que las diferencias de tensión entre dos puntos del sustrato sean mínimas).

En tal sentido, es fundamental asegurar una polarización intensiva de toda la superficie de los sustratos: para evitar la posibilidad de *latch-up* es preciso polarizar cada

sustrato con múltiples contactos, de manera que cualquier punto de su superficie se encuentre cercano a un contacto de polarización.

El *latch-up* impone la exigencia de que la polarización de los sustratos (necesaria para aislar los transistores) se haga en forma múltiple e intensiva; este requisito constituye, también, una regla de diseño:

distancia máxima entre contactos de polarización de los sustratos: 50 μm .